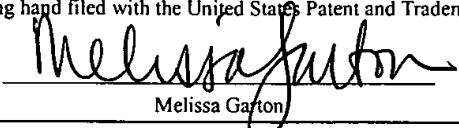


#4/Priority
9/24/02
PATENT
Docket No. 492322002400

CERTIFICATE OF HAND DELIVERY
I hereby certify that this correspondence is being hand filed with the United States Patent and Trademark Office in Washington, D.C. on December 17, 2001.
 Melissa Garton

10/016143
12/17/01
10/016143
12/17/01

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In the application of:

Tetsuro ASANO et al.

Serial No.: Not yet assigned

Filing Date: December 17, 2001

For: SEMICONDUCTOR SWITCHING
DEVICE

Examiner: Not yet assigned

Group Art Unit: Not yet assigned

TRANSMITTAL OF PRIORITY DOCUMENT

Commissioner for Patents
Washington, D.C. 20231

Sir:

Under the provisions of 35 USC 119, Applicants hereby claim the benefit of the filing of Japanese patent application Nos. 2001-121292, filed April 19, 2001; 2001-121293, filed April 19, 2001; and 2001-141894, filed May 11, 2001.

Certified copies of the priority documents are attached to perfect Applicants' claim for priority.


It is respectfully requested that the receipt of these certified copies attached hereto be acknowledged in this application.

In the event that the transmittal letter is separated from this document and the Patent and Trademark Office determines that an extension and/or other relief is required, applicants petition for any required relief including extensions of time and authorizes the Commissioner to charge

the cost of such petitions and/or other fees due in connection with the filing of this document to Deposit Account No. 03-1952 and reference Docket No. 492322002400. However, the Commissioner is not authorized to charge the cost of the issue fee to the Deposit Account.

Dated: December 27, 2001

Respectfully submitted,

By: 
Barry E. Bretschneider
Registration No. 28,055

Morrison & Foerster LLP
2000 Pennsylvania Avenue, N.W.
Washington, D.C. 20006-1888
Telephone: (202) 887-1545
Facsimile: (202) 887-0763

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JC955 U.S. PTO
10/016143
12/17/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 4月19日

出 願 番 号

Application Number:

特願2001-121292

出 願 人

Applicant(s):

三洋電機株式会社

2001年11月26日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3103735

【書類名】 特許願

【整理番号】 KAA1010044

【提出日】 平成13年 4月19日

【あて先】 特許庁長官殿

【国際特許分類】 H03K 17/00

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会
社内

 【氏名】 浅野 哲郎

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会
社内

 【氏名】 平井 利和

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 桑野 幸徳

【代理人】

 【識別番号】 100111383

 【弁理士】

 【氏名又は名称】 芝野 正雅

 【連絡先】 電話03-3837-7751 法務・知的財産部 東
京事務所

【手数料の表示】

 【予納台帳番号】 013033

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

【物件名】 要約書 1
【包括委任状番号】 9904451
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 化合物半導体スイッチ回路装置

【特許請求の範囲】

【請求項 1】 チャネル層表面にソース電極、ゲート電極およびドレイン電極を設けた第 1、第 2 および第 3、第 4 の F E T と、前記第 1、第 2 の F E T のそれぞれのソース電極あるいはドレイン電極に接続された第 1、第 2 の入力端子と、前記第 3、第 4 の F E T のそれぞれのソース電極あるいはドレイン電極に接続された第 3、第 4 の入力端子と、前記第 1、第 2 の F E T のドレイン電極あるいはソース電極に接続された第 1 の共通出力端子と、前記第 3、第 4 の F E T のドレイン電極あるいはソース電極に接続された第 2 の共通出力端子と、前記第 1、第 3 の F E T のそれぞれのゲート電極と第 1 の制御端子とを接続する接続手段と、前記第 2、第 4 の F E T のそれぞれのゲート電極と第 2 の制御端子とを接続する接続手段とを具備し、前記接続手段のうち前記第 3 の F E T のゲート電極と前記第 1 の制御端子とを接続する接続手段と前記第 2 の F E T のゲート電極と前記第 2 の制御端子とを接続する接続手段を、それぞれパッドと F E T 素子の間をパッドに沿って延在させ、前記第 1、第 2 の制御端子に制御信号を印加することを特徴とする化合物半導体スイッチ回路装置。

【請求項 2】 前記接続手段は抵抗で形成されることを特徴とする請求項 1 記載の化合物半導体スイッチ回路装置。

【請求項 3】 前記接続手段の抵抗は基板に高濃度領域で形成されることを特徴とする請求項 1 記載の化合物半導体スイッチ回路装置。

【請求項 4】 前記接続手段の抵抗でパッドと F E T 素子の間をパッドに沿って延在させたいずれか一方の抵抗は、前記スイッチ素子の F E T のゲート電極に接続する金属配線と交差することを特徴とする請求項 1 記載の化合物半導体スイッチ回路装置。

【請求項 5】 前記第 1、第 2 の入力端子に対応するそれぞれのパッドおよび前記第 3、第 4 の入力端子に対応するそれぞれのパッドが、第 1、第 2、第 3、第 4 の入力端子の順にチップの一辺に沿ってチップ周辺部に配置され、前記第 1、第 2 の共通出力端子に対応するそれぞれのパッドおよび前記第 1、第 2 の制

御端子に対応するそれぞれのパッドが、第 1 の制御端子、第 1 の共通出力端子、第 2 の共通出力端子、第 2 の制御端子の順に前記チップの一辺の対辺に沿ってチップ周辺部に配置されることを特徴とする請求項 1 記載の化合物半導体スイッチ回路装置。

【請求項 6】 前記第 1、第 2 の入力端子に対応するそれぞれのパッド間のチップ周辺部および第 3、第 4 の入力端子に対応するそれぞれのパッド間のチップ周辺部に、それぞれ第 1、第 2 の F E T の素子部の一部および第 3、第 4 の F E T の素子部の一部を配置していることを特徴とする請求項 1 記載の化合物半導体スイッチ回路装置。

【請求項 7】 前記第 1、第 2 および第 3、第 4 の F E T は前記チャネル層にショットキー接触するゲート電極と、前記チャネル層にオーミック接触するソース及びドレイン電極からなることを特徴とする請求項 1 記載の化合物半導体スイッチ回路装置。

【請求項 8】 前記第 1、第 2 および第 3、第 4 の F E T を M E S F E T で形成されることを特徴とする請求項 1 記載の化合物半導体スイッチ回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、高周波スイッチング用途に用いられる化合物半導体スイッチ回路装置、特に 2 連スイッチ回路を内蔵する化合物半導体スイッチ回路装置に関する。

【0 0 0 2】

【従来の技術】

携帯電話等の移動体用通信機器では、G H z 帯のマイクロ波を使用している場合が多く、アンテナの切換回路や送受信の切換回路などに、これらの高周波信号を切り替えるためのスイッチ素子が用いられることが多い（例えば、特開平 9 - 1 8 1 6 4 2 号）。その素子としては、高周波を扱うことからガリウム・砒素（G a A s）を用いた電界効果トランジスタ（以下 F E T という）を使用する事が多く、これに伴って前記スイッチ回路自体を集積化したモノリシックマイクロ波集積回路（M M I C）の開発が進められている。

【 0 0 0 3 】

図 5 (A) は、GaAs MESFET の断面図を示している。ノンドープの GaAs 基板 1 の表面部分に N 型不純物をドーピングして N 型のチャネル領域 2 を形成し、チャネル領域 2 表面にショットキー接触するゲート電極 3 を配置し、ゲート電極 3 の両脇には GaAs 表面にオーミック接触するソース・ドレイン電極 4、5 を配置したものである。このトランジスタは、ゲート電極 3 の電位によって、直下のチャネル領域 2 内に空乏層を形成し、もってソース電極 4 とドレイン電極 5 との間のチャネル電流を制御するものである。

【 0 0 0 4 】

図 5 (B) は、GaAs FET を用いた SPDT (Single Pole Double Throw) と呼ばれる化合物半導体スイッチ回路装置の原理的な回路図を示している。

【 0 0 0 5 】

第 1 と第 2 の FET 1、FET 2 のソース（又はドレイン）がそれぞれ入力端子 IN 1、IN 2 に接続され、FET 1、FET 2 のゲートがそれぞれ抵抗 R 1、R 2 を介して第 1 と第 2 の制御端子 Ct 1-1、Ct 1-2 に接続され、そして FET 1、FET 2 のドレイン（又はソース）が共通の出力端子 OUT に接続されたものである。第 1 と第 2 の制御端子 Ct 1-1、Ct 1-2 に印加される信号は相補信号であり、H レベルの信号が印加された FET が ON して、入力端子 IN 1 または IN 2 のいずれか一方の入力端子に印加された信号を、出力端子に伝達するようになっている。抵抗 R 1、R 2 は、交流接地となる制御端子 Ct 1-1、Ct 1-2 の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

【 0 0 0 6 】

図 6 は、図 5 (B) に示す化合物半導体スイッチ回路装置を集積化した化合物半導体チップの 1 例を示している。

【 0 0 0 7 】

GaAs 基板にスイッチを行う FET 1 および FET 2 を中央部に配置し、各 FET のゲート電極に抵抗 R 1、R 2 が接続されている。また入力端子 IN 1、IN 2、共通出力端子 OUT、制御端子 Ct 1-1、Ct 1-2 に対応するパッド

が基板の周辺に設けられている。なお、点線で示した第2層目の配線は各FETのゲート電極形成時に同時に形成されるゲート金属層(Ti/Pt/Au)20であり、実線で示した第3層目の配線は各素子の接続およびパッドの形成を行うパッド金属層(Ti/Pt/Au)30である。第1層目の基板にオーミックに接触するオーミック金属層(AuGe/Ni/Au)10は各FETのソース電極、ドレイン電極および各抵抗両端の取り出し電極を形成するものであり、図6では、パッド金属層と重なるために図示されていない。

【0008】

図7(A)に図6に示したFET1の部分を拡大した平面図を示す。この図で、一点鎖線で囲まれる長形状の領域が基板11に形成されるチャネル領域12である。左側から伸びる櫛歯状の第3層目のパッド金属層30が入力端子IN1に接続されるソース電極13(あるいはドレイン電極)であり、この下に第1層目オーミック金属層10で形成されるソース電極14(あるいはドレイン電極)がある。また右側から伸びる櫛歯状の第3層目のパッド金属層30が共通出力端子OUTに接続されるドレイン電極15(あるいはソース電極)であり、この下に第1層目のオーミック金属層10で形成されるドレイン電極16(あるいはソース電極)がある。この両電極は櫛歯をかみ合わせた形状に配置され、その間に第2層目のゲート金属層20で形成されるゲート電極17がチャネル領域12上に櫛歯形状に配置されている。

【0009】

図7(B)にこのFETの一部の断面図を示す。基板11にはn型のチャネル領域12とその両側にソース領域18およびドレイン領域19を形成するn+型の高濃度領域が設けられ、チャネル領域12にはゲート電極17が設けられ、高濃度領域には第1層目のオーミック金属層10で形成されるドレイン電極14およびソース電極16が設けられる。更にこの上に前述したように3層目のパッド金属層30で形成されるドレイン電極13およびソース電極15が設けられ、各素子の配線等を行っている。

【0010】

【発明が解決しようとする課題】

携帯電話等の移動体用通信機器では、1台の機器で異なる2つの通信方式、例えばCDMA方式とGPS方式に対応しようとする、高周波信号を切り替えるためのスイッチ素子として、2回路2連スイッチの使用が極めて効果的である場合があり、その出現が強く望まれていた。

【0011】

上記した化合物半導体スイッチ回路装置は、1回路1連スイッチであり、これを単純に同一基板上に2組構成して1つのパッケージに納めてもピン数、サイズで何らメリットが存在しない。

【0012】

また回路構成上共通化が可能なそれぞれの制御端子を1つにしようとする、交差する配線が生じてしまい、これを避けようとする、チップ面積を不必要に増大させてしまう問題がある。

【0013】

【課題を解決するための手段】

本発明は上述した諸々の事情に鑑み成されたもので、ピン数も必要最小限のピン数で、チップサイズも必要最小限のサイズで、1組の相補信号である制御信号で動作可能な2回路2連スイッチ素子を実現するものである。

【0014】

すなわち、チャネル層表面にソース電極、ゲート電極およびドレイン電極を設けた第1、第2および第3、第4のFETと、第1、第2のFETのそれぞれのソース電極あるいはドレイン電極に接続された第1、第2の入力端子と、第3、第4のFETのそれぞれのソース電極あるいはドレイン電極に接続された第3、第4の入力端子と、第1、第2のFETのドレイン電極あるいはソース電極に接続された第1の共通出力端子と、第3、第4のFETのドレイン電極あるいはソース電極に接続された第2の共通出力端子と、第1、第3のFETのそれぞれのゲート電極と第1の制御端子とを接続する接続手段と、第2、第4のFETのそれぞれのゲート電極と第2の制御端子とを接続する接続手段とを具備し、前記接続手段のうち第3のFETのゲート電極と第1の制御端子とを接続する接続手段と第2のFETのゲート電極と第2の制御端子とを接続する接続手段を、それぞ

れパッドとFET素子の間をパッドに沿って延在させ、第1、第2の制御端子に制御信号を印加することを特徴とするスイッチ素子による。

【0015】

【発明の実施の形態】

以下に本発明の実施の形態について図1から図4を参照して説明する。

【0016】

図1は、本発明の化合物半導体スイッチ回路装置を示す回路図である。チャネル層表面にソース電極、ゲート電極およびドレイン電極を設けた第1、第2のFETであるFETa1、FETa2および第3、第4のFETであるFETb1、FETb2と、第1、第2のFETのそれぞれのソース電極（あるいはドレイン電極）に接続された第1、第2の入力端子であるINa1、INa2と、第3、第4のFETのそれぞれのソース電極（あるいはドレイン電極）に接続された第3、第4の入力端子であるINb1、INb2と、第1、第2のFETのドレイン電極（あるいはソース電極）に接続された第1の共通出力端子であるOUTaと、第3、第4のFETのドレイン電極（あるいはソース電極）に接続された第2の共通出力端子であるOUTbと、第1、第3のFETであるFETa1、FETb1のそれぞれのゲート電極と第1の制御端子であるCtl-1とを接続する抵抗Ra1、Rb1と、第2、第4のFETであるFETa2、FETb2のそれぞれのゲート電極と第2の制御端子であるCtl-2とを接続する抵抗Ra2、Rb2とから構成される。

【0017】

抵抗Ra1、Ra2およびRb1、Rb2は、交流接地となる制御端子Ctl-1、Ctl-2の直流電位に対してゲート電極を介して高周波信号が漏出することを防止する目的で配置されている。

【0018】

第1、第2のFETであるFETa1、FETa2および第3、第4のFETあるFETb1、FETb2はGaAs MESFET（デプレッション型FET）で構成され、GaAs基板に集積化される（図2参照）。なお、第1、第2のFETであるFETa1、FETa2および第3、第4のFETであるFET

b 1、F E T b 2は図 7 (A) (B) に示す構造と同じであるので、説明を省略する。

【 0 0 1 9 】

図 1 に示す回路は、図 5 (B) に示す G a A s M E S F E T を用いた S P D T (Single Pole Double Throw) と呼ばれる化合物半導体スイッチ回路装置の原理的な回路 2 組で構成しているが、大きく異なる点はそれぞれの制御端子を共通化して、2 連スイッチ化している点である。

【 0 0 2 0 】

次に、図 1 を参照して本発明の化合物半導体 2 連スイッチ回路装置の動作について説明する。

【 0 0 2 1 】

第 1 と第 2 の制御端子 C t 1 - 1、C t 1 - 2 に印加される制御信号は相補信号であり、H レベルの信号が印加された側の F E T が O N して、入力端子 I N a 1 または I N a 2 のどちらか一方に印加された入力信号および入力端子 I N b 1 または I N b 2 のどちらか一方に印加された入力信号を、それぞれ共通出力端子 O U T a および O U T b に伝達するようになっている。

【 0 0 2 2 】

例えば制御端子 C t 1 - 1 に H レベルの信号が印加されると、スイッチ素子である F E T a 1、F E T b 1 が導通し、それぞれ入力端子 I N a 1 の信号が出力端子 O U T a に、また入力端子 I N b 1 の信号が出力端子 O U T b に伝達される。次に制御端子 C t 1 - 2 に H レベルの信号が印加されると、スイッチ素子である F E T a 2、F E T b 2 が導通し、それぞれ入力端子 I N a 2 の信号が出力端子 O U T a に、また入力端子 I N b 2 の信号が出力端子 O U T b に伝達される。

【 0 0 2 3 】

従って 2 種類の信号が存在し、そのいずれかを選択したい場合、例えば携帯電話等の移動体通信機器で用いられる C D M A 方式の信号と G P S 方式の信号が存在し、そのいずれかを選択したい場合、C D M A 方式の信号（または G P S 方式の信号）を入力端子 I N a 1 と I N b 1 に、G P S 方式の信号（または C D M A 方式の信号）を入力端子 I N a 2 と I N b 2 に接続すれば、出力端子 O U T a、

OUTbの両端から制御端子Ct1-1、Ct1-2に印加される制御信号のレベルに応じて、CDMA方式の信号またはGPS方式の信号を取り出すことができる。即ち2連スイッチ素子として動作する。

【0024】

図2は、本発明の化合物半導体スイッチ回路装置を集積化した化合物半導体チップの1例を示している。

【0025】

GaAs基板にスイッチを行う2組のペアFETa1、FETa2およびFETb1、FETb2を中央部の左右に配置し、各FETのゲート電極に抵抗Ra1、Ra2、Rb1、Rb2が接続されている。また入力端子INa1、INa2、INb1、INb2、共通出力端子OUTa、OUTb、制御端子Ct1-1、Ct1-2に対応するパッドが基板の周辺に設けられている。なお、点線で示した第2層目の配線は各FETのゲート電極形成時に同時に形成されるゲート金属層(Ti/Pt/Au)20であり、実線で示した第3層目の配線は各素子の接続およびパッドの形成を行うパッド金属層(Ti/Pt/Au)30である。第1層目の基板にオーミックに接触するオーミック金属層(AuGe/Ni/Au)10は各FETのソース電極、ドレイン電極および各抵抗両端の取り出し電極を形成するものであり、図2では、パッド金属層と重なるために図示されていない。

【0026】

図2に示す本発明の化合物半導体スイッチ回路装置を集積化した化合物半導体チップでは以下に説明する種々の工夫を加えている。

先ず、第1、第2の入力端子に対応するそれぞれのパッド間のチップ周辺部および第3、第4の入力端子に対応するそれぞれのパッド間のチップ周辺部に、それぞれ第1、第2のFETの素子部の一部および第3、第4のFETの素子部の一部を配置しているので、対になっている入力端子間を離間すると共にチップ面積の有効利用の点で効果的であり、チップ面積の縮小化に役立っている。

【0027】

次に2組のスイッチの制御端子をそれぞれ共通化するためには、ペアの異なる

2つのFETのゲート電極と制御端子、即ちFETa1、FETb1それぞれのゲート電極と制御端子Ct1-1およびFETa2、FETb2それぞれのゲート電極と制御端子Ct1-2をそれぞれ接続する必要がある。これらの接続はそれぞれ抵抗Ra1、Rb1およびRa2、Rb2を介して行っているが、この抵抗の引き回しを工夫して行っている。

【0028】

制御端子Ct1-1について説明すると、FETa1のゲート電極と接続する抵抗Ra1は、制御端子Ct1-1および入力端子INa1のボンディングパッド間のスペースに配置し、異なるペアのFETb1のゲート電極と接続する抵抗Rb1は、制御端子Ct1-1および出力端子OUTaのボンディングパッドとスイッチング素子のFETa1、FETa2の間に、ボンディングパッドに沿って延在させ、チップ中央上部でFETb1のゲート電極と接続させる。

【0029】

次に制御端子Ct1-2について説明すると、FETb2のゲート電極と接続する抵抗Rb2は、制御端子Ct1-2および入力端子INb2のボンディングパッド間のスペースに配置し、異なるペアのFETa2のゲート電極と接続する抵抗Ra2は、制御端子Ct1-2および出力端子OUTbのボンディングパッドとスイッチング素子のFETb2、FETb1の間に、ボンディングパッドに沿って延在させ、チップ中央上部でFETa2のゲート電極と接続させる。

【0030】

これにより、抵抗Rはパッドに沿って収まり、チップ面積を殆ど増大させることがない。また抵抗RとFETのゲート電極との接続に交差手法を取り入れたので、抵抗をチップ周辺に引き回す必要が無く、チップ面積の増大を大幅に押さえることができた。

【0031】

ここで、図3を参照して抵抗Rおよび各部を接続するための配線の多層構造を説明する。

【0032】

制御端子と各FETのゲート電極の接続手段として用いられている抵抗Rは基

板 1 1 にソース領域およびドレイン領域を形成するときに同時にイオン注入した $n +$ 型の高濃度領域 4 0 で形成される。この $n +$ 型の高濃度領域 4 0 の両端には、第 1 層目のオーミック金属層 1 0 が設けられ、他の部分は酸化膜 4 1 で覆われて第 1 層目のオーミック金属層 1 0 にコンタクトする 3 層目のパッド金属層 3 0 がドレイン電極およびソース電極の形成時に同時に設けられる。このとき各部を結ぶ配線、例えば抵抗 $R b 1$ の一方の端子と $F E T b 1$ のゲート電極の端子を結ぶ配線 4 2 も同時に作られるため、配線 4 2 と抵抗 $R a 2$ とは酸化膜 4 1 で層間絶縁されて交差を実現できる。

【 0 0 3 3 】

図 4 に本発明による化合物半導体スイッチ回路装置の応用例を示す。

【 0 0 3 4 】

これまで述べてきた工夫により、図 2 に示すパッド配置と同じ配置で外部接続用電極を取り出すことにより、本発明による化合物半導体スイッチ回路装置を実装するプリント基板の設計が容易になる。

【 0 0 3 5 】

図 4 に示すように 2 種類の入力信号があり、本発明による化合物半導体スイッチ回路装置を用いていずれか一方の信号を選択する場合、プリント基板の配線は 1 ヶ所の交差のみで設計することが可能となる。即ち $I N a 1$ 、 $I N b 1$ に A 規格の信号、 $I N a 2$ 、 $I N b 2$ に B 規格の信号を入力し、 $C t 1 - 1$ 、 $C t 1 - 2$ に印加される相補信号である制御信号のレベルに応じて、出力端子 $O U T a$ 、 $O U T b$ に A 規格または B 規格の信号を取り出して利用することができる。

【 0 0 3 6 】

【発明の効果】

以上に詳述した如く、本発明に依れば以下の数々の効果が得られる。

【 0 0 3 7 】

第 1 に、化合物半導体スイッチ素子の $G a A s$ M E S F E T を用いて、1 組の制御端子で、独立した 2 回路のスイッチング動作が可能な 2 連スイッチ回路装置を実現できる。これにより、例えば携帯電話等の移動体通信機器で用いられる C D M A 方式の信号と G P S 方式の信号が存在し、そのいずれかを選択したい場

合、回路配置が簡素化されてプリント基板の実装面積を小さくできる。

【 0 0 3 8 】

第 2 に、2 個の独立したスイッチ回路を内蔵しているが制御端子を共通化しているので、パッケージサイズを小さく抑えられ、単一スイッチ回路装置を 2 個用いる場合よりも、プリント基板の実装面積を小さくできる。

【 0 0 3 9 】

第 3 に、制御端子とスイッチ素子 F E T のゲート電極を接続する抵抗 R の配置を工夫して、ボンディングパッドとスイッチ素子 F E T の間でボンディングパッドに沿って延在させるので、チップ面積をほとんど増大させることなく実現している。

【 0 0 4 0 】

第 4 に、2 組のスイッチ回路の制御端子を共通化して 1 組にすると、制御端子とスイッチ素子のゲート電極を接続するとき交差を避けようとするパッドの外側に配線を引き回す必要があり、チップサイズを不必要に大きくしてしまうが、接続に用いる抵抗 R と接続用の金属配線の配置を工夫して、立体的に交差させて、チップ面積をほとんど増大させることなく実現している。

【図面の簡単な説明】

【図 1】

本発明を説明するための回路図である。

【図 2】

本発明を説明するための平面図である。

【図 3】

本発明を説明するための断面図である。

【図 4】

本発明の応用例を示す図である。

【図 5】

従来例を説明するための (A) 断面図、(B) 回路図である。

【図 6】

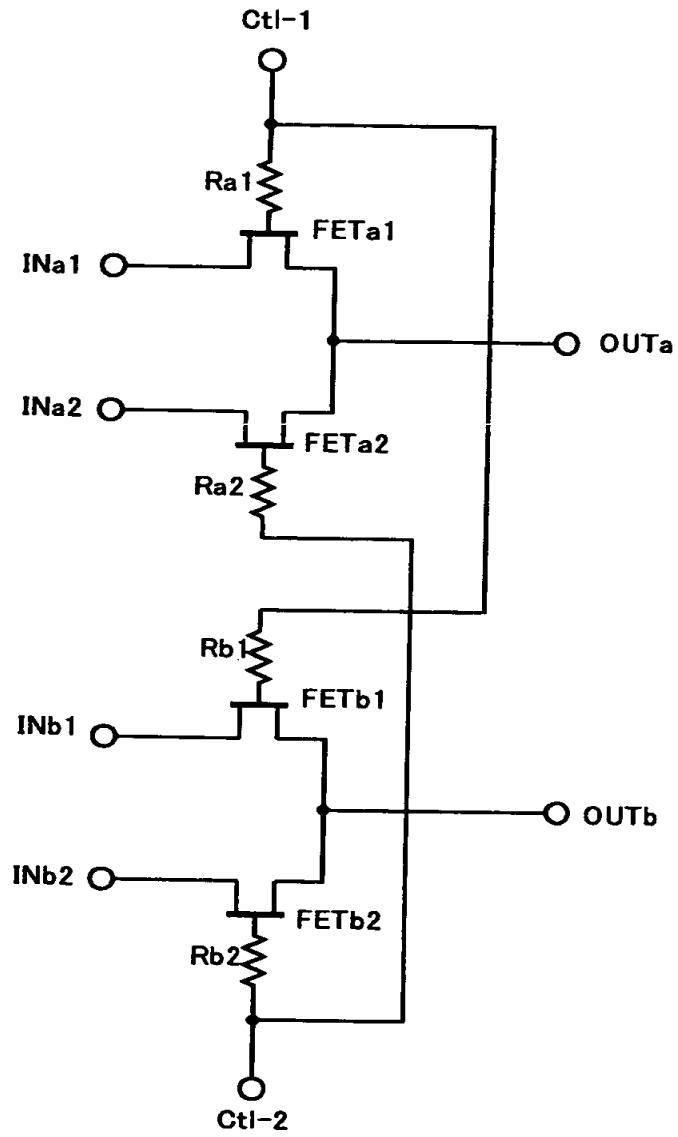
従来例を説明するための平面図である。

【図 7】

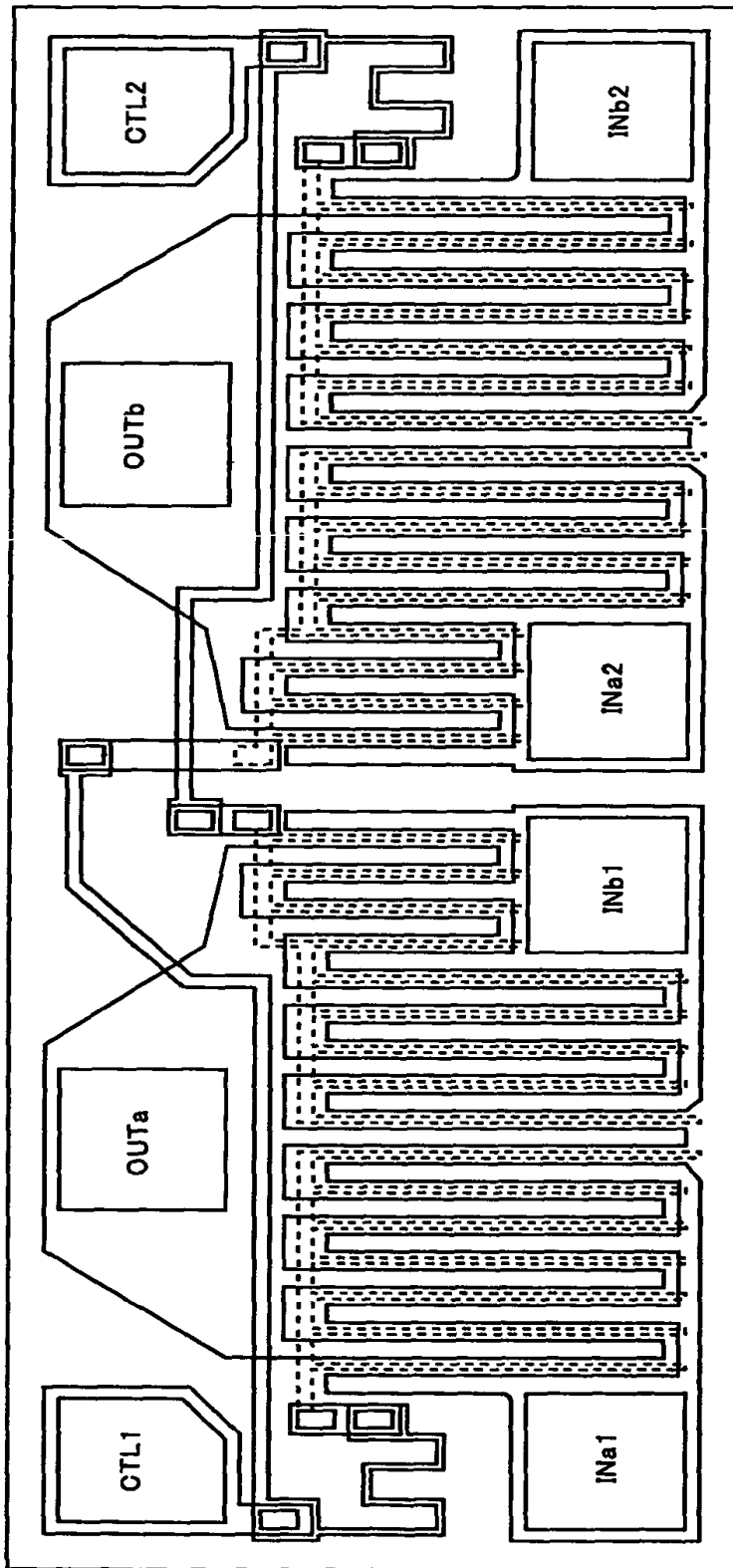
従来例を説明するための（A）平面図、（B）断面図である。

【書類名】 図面

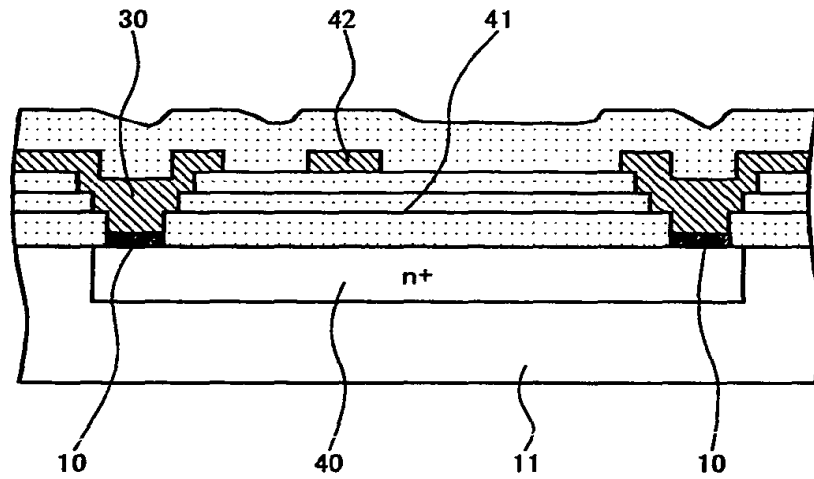
【図 1】



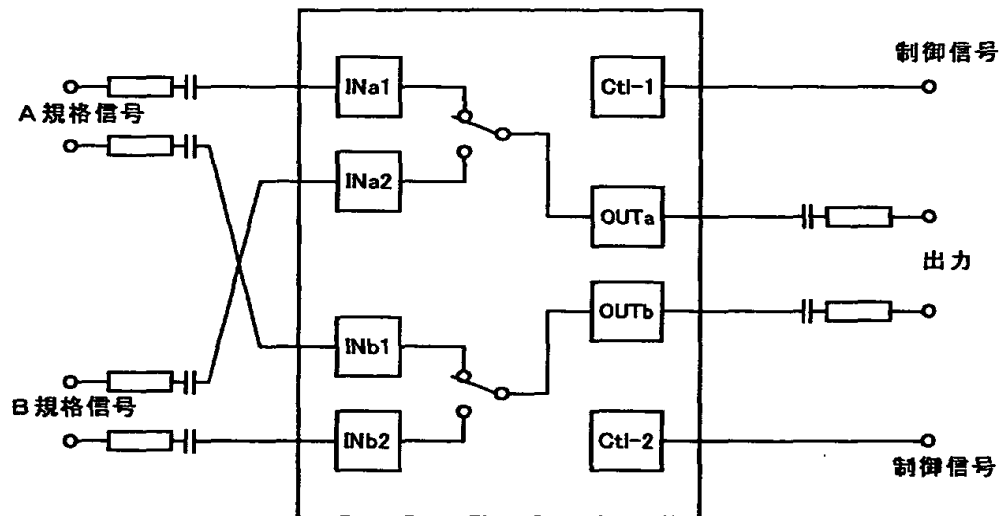
【図 2】



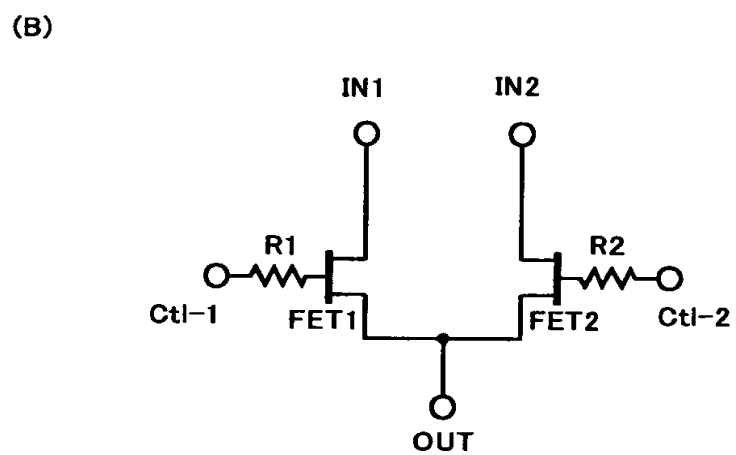
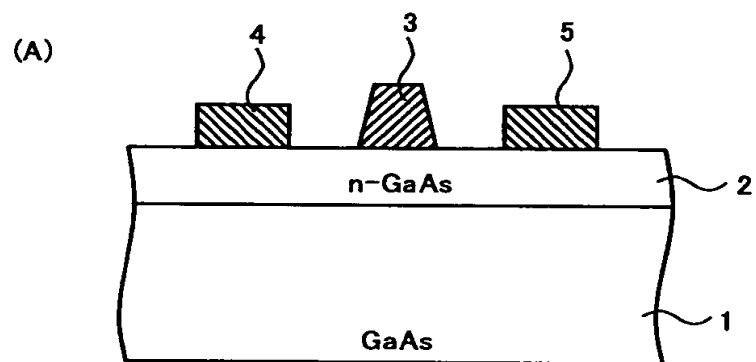
【図 3】



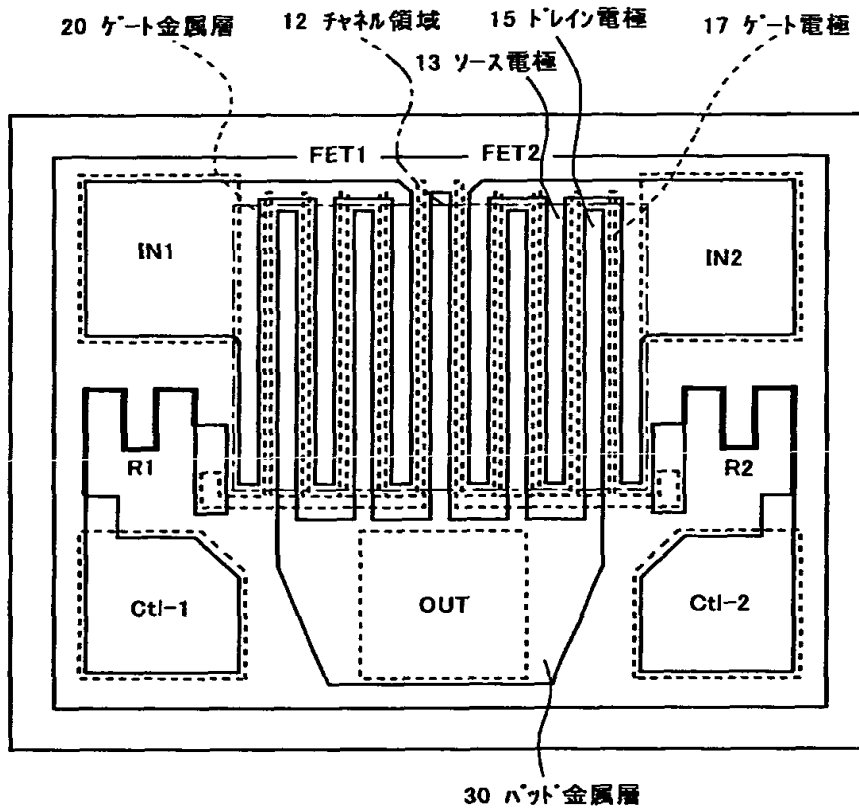
【図 4】



【図 5】

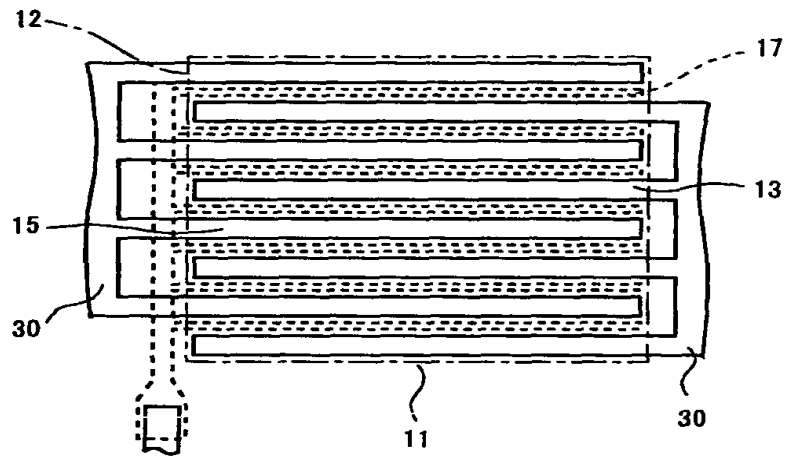


【図6】

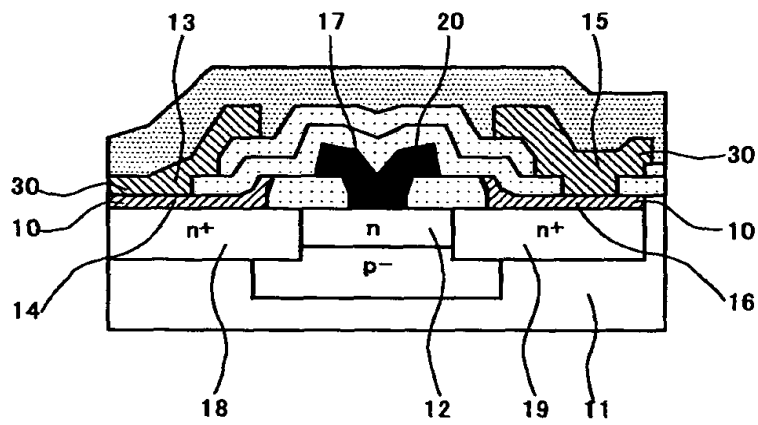


【図 7】

(A)



(B)



【書類名】 要約書

【要約】

【課題】化合物半導体スイッチ回路装置で、2連スイッチ回路装置の有用性は認められていたが、パッケージのピン数の増大、チップサイズの増大等の問題点があった。

【解決手段】第1、第2および第3、第4のFETと、第1、第2のFETのそれぞれのソース電極あるいはドレイン電極に接続された第1、第2の入力端子と、第3、第4のFETのそれぞれのソース電極あるいはドレイン電極に接続された第3、第4の入力端子と、第1、第2のFETのドレイン電極あるいはソース電極に接続された第1の共通出力端子と、第3、第4のFETのドレイン電極あるいはソース電極に接続された第2の共通出力端子と、第1、第3のFETのそれぞれのゲート電極と第1の制御端子とを接続する接続手段と、第2、第4のFETのそれぞれのゲート電極と第2の制御端子とを接続する接続手段とを具備し、前記接続手段のうち第3のFETのゲート電極と第1の制御端子とを接続する接続手段と第2のFETのゲート電極と第2の制御端子とを接続する接続手段を、それぞれパッドとFET素子の間をパッドに沿って延在させ、第1、第2の制御端子に制御信号を印加することを特徴とするスイッチ素子により実現する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号

氏 名 三洋電機株式会社